

In questo modulo saranno presentate le caratteristiche e le differenze tra le architetture hardware CISC e RISC.

# Architetture CISC e RISC

*Prof. Michele Tarantino*

*Tutti i diritti riservati.*

*Il presente testo può essere utilizzato liberamente per motivi di studio, didattica e attività di ricerca purché sia presente il riferimento bibliografico.*

---



Con il termine architettura si definisce l'insieme dei registri, dell'unità o delle unità di elaborazione, bus e qualsiasi altra componente fisica (hardware) per eseguire, codificare o trasferire dati all'interno di un processore. Su ogni architettura di un elaboratore è definito l'insieme di istruzioni a livello macchina che l'architettura stessa è in grado di gestire: l'insieme di queste istruzioni prende il nome di ISA (*Instruction Set Architecture*). Si ricorda che ogni istruzione per essere eseguita viene scomposta in sotto-operazioni più primitive (tale numero dipende dall'architettura stessa e dalle componenti fisiche del processore) al fine di ottimizzare le componenti e poter eseguire le diverse sotto-operazioni in parallelo con la tecnica definita Pipeline. A livello didattico ogni istruzione può essere suddivisa in 5 sotto-operazioni fondamentali:

- prelevamento dell'istruzione dalla memoria centrale attraverso il registro PC (*Program Counter* o *Instruction Pointer*) il quale memorizza l'indirizzo di memoria (centrale) della prossima istruzione da eseguire;
- decodifica dell'istruzione: una volta prelevata l'istruzione questa viene memorizzata in un particolare registro denominato *Instruction Register* (IR) al fine della sua codifica effettiva per poi prelevare l'operando o gli operandi ed eseguire l'istruzione effettiva;
- prelevamento dei dati indicizzati dagli operandi e memorizzazione nei registri indicati dall'istruzione stessa; solitamente sono utilizzati i registri generici AX, BX, CX e DX a 16 bit (n alcune architetture questi registri sono a 32 bit e vengono identificati dalla lettera E all'inizio del nome del registro (EAX, EBX,...) per identificare *Extend Register*;
- esecuzione dell'istruzione tramite componente ALU (*Arithmetic Logic Unit*) se l'istruzione prevede un'operazione su numeri interi, altrimenti FPU (*Floating-Point Unit*) se l'operazione prevede un'operazione in virgola mobile, ossia su numeri razionali;

Il risultato così ottenuto viene memorizzato quindi in un registro per poi eventualmente trasferire tale dato in memoria per mezzo di opportune istruzioni. Ad ogni esecuzione è "sporcato" un particolare registro di stato (PSW – *Program Status Word* o registro di Flag) a cui ad ogni bit viene assegnato una particolare informazione sull'esecuzione dell'istruzione appena elaborata:

- C - *Carry* identifica se l'operazione ha generato un riporto;
- Z - *Zero* se il risultato dell'ultima operazione è uguale a zero;
- O - *Overflow* se il risultato ha generato un overflow del registro, ossia il risultato occupa una quantità strettamente maggiore di quella disponibile e quindi il risultato rappresentato nel registro non rispecchia l'operazione reale;
- U - *Underflow* complementare di overflow ma con numeri negativi;
- S - *Segno* per identificare il segno dell'operazione eseguita).

Il numero di flag e la semantica assegnata ad ogni bit dipende dall'architettura dell'elaboratore.



Le architetture si suddividono in due categorie principali denominate *Complex Instruction Set Computer* e *Reduced Instruction Set Computer* abbreviate rispettivamente con gli acronimi CISC e RISC. Le architetture di tipo CISC forniscono una gran varietà di istruzioni, con un numero di operandi diverso per ogni istruzione e impiegano una quantità di cicli di clock differente a seconda dell'istruzione stessa. Sono molto più complesse ma inglobano anche più istruzioni di tipo RISC. Hanno un ampio insieme di modalità di indirizzamento e il codice prodotto ha dimensioni inferiori rispetto alle RISC. Possono simulare le architetture di tipo RISC. Le RISC dispongono di un insieme di istruzioni ridotto, del medesimo formato (stesso numero di operandi) e sono eseguite con lo stesso numero di cicli di clock (tipicamente uno solo). In questo caso però le architetture devono disporre di un numero maggiore di registri e il compilatore che genera il programma è semplificato pur producendo codice con lunghezza e quindi dimensione maggiore. Allo stato attuale sono quelle più utilizzate perché si adattano meglio a tecniche di pipeline. Le istruzioni di tipo CISC devono comunque essere tradotte in istruzioni di tipo RISC.



Resta connesso e informato sui prossimi eventi, corsi e seminari:

## **Web**

[www.profmicheletarantino.com](http://www.profmicheletarantino.com)

## **Email**

[profmicheletarantino@gmail.com](mailto:profmicheletarantino@gmail.com)

## **Telefono**

349 83 54 521

## **Facebook**

[@micheletarantinodocente](https://www.facebook.com/micheletarantinodocente)

## **Instagram**

[@profmicheletarantino](https://www.instagram.com/profmicheletarantino)

Hai bisogno di un modulo personalizzato? Non esitare a contattarmi!